



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM (to be used for all correspondence after initial filing)	Application Number	10/707,507-Conf. #1506	
	Filing Date	December 18, 2003	
	First Named Inventor	Lu Fu-Chin	
	Art Unit	N/A	
	Examiner Name	Not Yet Assigned	
Total Number of Pages in This Submission	1	Attorney Docket Number	22171-00011-US

ENCLOSURES (check all that apply)		
<input type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment/Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____	<input type="checkbox"/> After Allowance Communication to Group <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to Group (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input checked="" type="checkbox"/> Other Enclosure(s) (please identify below): Claim for Priority & Submission of Priority Document
<div>Remarks</div>		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	CONNOLLY BOVE LODGE & HUTZ LLP Larry J. Hume - 44,163
Signature	
Date	December 19, 2003



Docket No.: 22171-00011-US
(PATENT)

THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Lu Fu-Chin

Application No.: 10/707,507

Confirmation No.: 1506

Filed: December 18, 2003

Art Unit: N/A

For: INTEGRATED CIRCUIT PROBE CARD

Examiner: Not Yet Assigned

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Taiwan, Republic of China	092209344	May 21, 2003

In support of this claim, a certified copy of the said original foreign application is filed herewith.

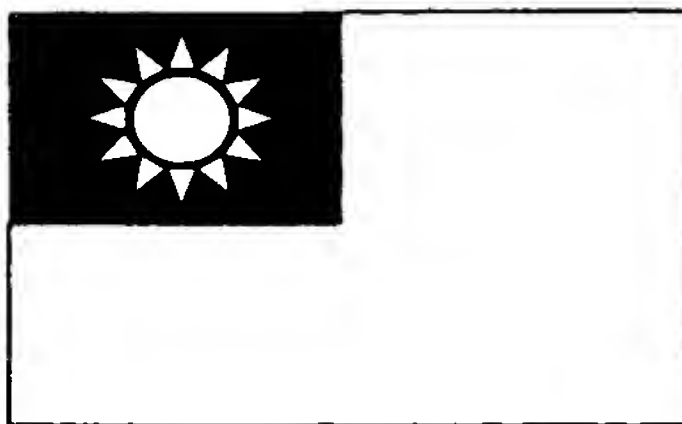
Applicant believes no fee is due with this response. However, if a fee is due, please charge our Deposit Account No. 22-0185, under Order No. 22171-00011-US from which the undersigned is authorized to draw.

Dated: December 19, 2003
14649_1

Respectfully submitted,

By Larry J. Hume
Larry J. Hume

Registration No.: 44,163
CONNOLLY BOVE LODGE & HUTZ LLP
1990 M Street, N.W., Suite 800
Washington, DC 20036-3425
(202) 331-7111
(202) 293-6229 (Fax)
Attorney for Applicant



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 05 月 21 日
Application Date

申請案號：092209344
Application No.

申請人：旺矽科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 9 月 23 日
Issue Date

發文字號：09220953190
Serial No.

新型專利說明書

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號：_____ ※IPC分類：_____

※申請日期：_____

壹、新型名稱

(中文) 積體電路測試卡

(英文) INTEGRATED CIRCUIT PROBE CARD

貳、創作人 (共 1 人)

創作人 1 (如創作人超過一人，請填**說明書創作人續頁**)

姓名：(中文) 呂福進

(英文) LU FU-CHIN

住居所地址：(中文) 澎湖縣馬公市忠孝路 40 巷 10 號

(英文) NO. 10, LANE 40, JUNGSHIAU RD., MAGUNG CITY, PENGHU, TAIWAN 880, R.O.C.

國籍：(中文) 中華民國

(英文) R.O.C.

參、申請人 (共 1 人)

申請人 1 (如申請人超過一人，請填**說明書申請人續頁**)

姓名或名稱：(中文) 旺矽科技股份有限公司

(英文) MJC PROBE INCORPORATION

住居所或營業所地址：(中文) 新竹縣竹北市中和街 155 號 1-3 樓

(英文) 1-3 FL, NO. 155, CHUNG-HO ST., CHU-PEI CITY, HSINCHU, TAIWAN 302, R.O.C.

國籍：(中文) 中華民國

(英文) R.O.C.

代表人：(中文) 葛長林

(英文) GREEN CHANG-LIN

肆、中文創作摘要

本創作揭示一種積體電路測試卡，包含一電路板及複數根探針。該電路板係由複數層積層板構成，具有一上表面和一下表面，且包含複數個以一第二間距設置於該上表面之測試接點以及可包含複數個設置於該上表面用以處理訊號之電子元件。其中該複數個測試接點藉由複數個導電通路電氣連接至該下表面。該複數根探針係以一第一間距設置且電氣連接於該電路板下表面之導電通路，其中該第一間距小於該第二間距。

伍、英文創作摘要

陸、(一)、本案指定代表圖為：第 4 圖

(二)、本代表圖之元件代表符號簡單說明：

100 積體電路測試卡	110 電路板
120 積層板	122 上表面
123 下表面	124 測試接點
126 第二間距	128 內部導電通路
130 積層板	132 電子元件
138 導電金屬	140 積層板
150 積層板	200 探針座
210 探針	220 第一間距
230 積體電路元件	240 接點

柒、本案若有化學式時，請揭示最能顯示創作特徵的化學式：

捌、聲明事項

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為：_____

☒ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. 本案在向中華民國提出申請前未曾向其他國家提出申請專利。

2. _____

3. _____

☐ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. _____

2. _____

3. _____

4. _____

5. _____

6. _____

7. _____

8. _____

9. _____

10. _____

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____

2. _____

3. _____

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 熟習該項技術者易於獲得，不須寄存。

玖、創作說明

(創作應敘明：創作所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

一、新型所屬之技術領域

本創作係關於一種積體電路測試卡，特別係關於一種採用二件式設計之積體電路測試卡。

二、先前技術

一般而言，積體電路元件在進行封裝之前，會先行測試晶圓上之積體電路元件之電氣特性，以判定積體電路元件是否良好。良好的積體電路將被選出以進行後續之封裝製程，而不良品將被捨棄以避免增加額外的封裝成本。

圖1係一習知之積體電路測試卡10之剖面示意圖，其揭示於美國專利US 3,806,801號。如圖1所示，該積體電路測試卡10包含一印刷電路板20、一陶瓷基板30及一探針座40等三件組件。印刷電路板20包含複數個接點22及複數條電氣連接該接點22至一測試機台（未顯示於圖1）之導線24。探針座40包含複數個探針42，該探針42用於接觸及擷取待測積體電路元件之電氣特性。陶瓷基板30之上表面設置複數個測試接點32，其間距大約等於該印刷電路板20上之接點22之間距。一般而言，陶瓷基板30之下表面設置複數個下接點34，其間距對應於探針座40之探針42之間距，陶瓷基板30之測試接點32的電路間距大於下接點34之間距，印刷電路板20上之接點22間距為探針座40之探針42間距10倍以上。而測試機台之電訊號將經由印刷電路板20之導線傳輸至接點22，並透過印刷電路板20內之導線分佈

進行訊號之阻抗匹配、抗反射、抗衰減及抗干擾處理，接著電訊號再由印刷電路板 20 上之接點 22、陶瓷基板 30 之上接點 32、陶瓷基板 30 之下接點 34 及探針 42 傳遞至積體電路測試卡 10。

圖 2 係圖 1 之陶瓷基板 30 與探針座 40 之剖面示意圖。如圖 2 所示，探針座 40 之探針 42 以可上下移動方式設置於套筒 44 之中，且經由鉚錫 36 電氣連接於陶瓷基板 30 之下接點 34。下接點 34 則再經由內部導線 38 電氣連接至陶瓷基板 30 之測試接點 32。探針座 40 與陶瓷基板 30 之接合係先將鉚錫 36 形成於下接點 34 上，再於 220°C 以上高溫之進行迴鉚 (reflow) 製程，使套筒 44 連接於受熱熔融之鉚錫 36。同理，印刷電路板 20 與陶瓷基板 30 之接合亦是經由迴鉚製程，使印刷電路板 20 之接點 22 接合於陶瓷基板 30 之測試接點 32。

習知之積體電路測試卡 10 為三件式 (即印刷電路板 20、陶瓷基板 30 及探針座 40 等三件) 設計，具有下列缺點：

1. 由於印刷電路板 20 係由玻璃纖維之聚亞胺 (polyimide) 或 FR-4 等材質構成。當進行 220°C 以上之迴鉚製程以接合該印刷電路板 20 及該陶瓷基板 30 時，聚亞胺或 FR-4 等材料將發生熱變形及劣化現象，使得印刷電路板 20 上之導線 24 受損，嚴重地影響印刷電路板 20 之電氣特性。
2. 印刷電路板 20、陶瓷基板 30 及探針座 40 係經由迴鉚製程以鉚錫彼此鍵結，雜質易於迴鉚製程中摻入熔融之

- 銲錫而改變銲錫之電阻值，進而影響積體電路測試卡10之整體電氣特性。
3. 迴銲製程不易控制鍵結後之印刷電路板20、陶瓷基板30及探針座40之水平相對位置，即探針42之針尖的水平位置不易控制。如果各探針42之水平位置差異過大，施加於待測積體電路之壓力不均勻，則可能損毀待測之積體電路。
 4. 由於探針42係以可上下移動方式設置於套筒44之中。探針42在量測的過程藉由探針座40向下移動而電氣連接待測積體電路元件與下接點34。然而，探針42在上下移動的過程中會頂撞銲錫36及陶瓷基板30之下接點34，因此銲錫36及下接點34易於脫落而形成電氣開路，造成積體電路測試卡10之失效。
 5. 目前產業上使用之陶瓷基板30之尺寸約為30mm×30mm至80mm×80mm之間。陶瓷基板30之下接點34的間距係隨著探針座40之探針42個數增加而縮小。當探針座40之探針數目超過3000時，將使得下接點34因彼此之間距太小而無法形成有效的電氣隔離，而無法應用於高接點數積體電路之測試。

三、創作內容

本創作之主要目的係提供一種採用二件式設計之積體電路元件測試卡，其可應用於高接點數積體電路之電氣特性測試。

為了達成上述之目的，本創作揭示一種積體電路測試

卡，包含一電路板及複數根探針。該電路板係由複數層積層板構成，具有一上表面和一下表面。該電路板包含複數個以一第二間距設置於該上表面之測試接點、複數個設置於該電路板內部之導電通路以及可包含複數個設置於該上表面用以處理訊號之電子元件。其中該複數個測試接點係藉由該複數個導電通路電氣連接至該下表面。該複數根探針係以一第一間距設置且電氣連接於該電路板下表面之導電通路，其中該第一間距小於該第二間距。

相較於習知技藝，本創作具備下列優點：

1. 本創作之積體電路測試卡係由電路板及探針座構成，為二件式設計，不同於習知技藝之三件式設計。亦即，本創作將習知技藝之陶瓷基板的功能整合於電路板之中。
2. 本創作可利用整個電路板之寬度來分佈導電通路，而習知技藝則僅有約80毫米的寬度可分佈導電通路。明顯地，本創作可搭配高密度、高腳數之探針座，應用於高集積度積體電路之測試。
3. 本創作之電路板可以較低製程溫度之電路板製程製作，因此可避免引起電路板之材質發生熱劣化及變形，以消除習知技藝因高溫迴鉅製程所導致之測試卡失效原因。
4. 探針係直接接觸於電路板下表面之導電通路，消除了習知技藝因使用鉅錫及接點間接電氣連接所導致之電路阻值變化及鉅錫脫落現象。

四、實施方式

圖 3 係本創作之積體電路測試卡 100 之剖面示意圖。如圖 3 所示，積體電路測試卡 100 包含一電路板 110 及一探針座 200。該電路板 110 之厚度依現行製程可介於 4.80 毫米至 6.35 毫米之間，寬度介於 9 英吋至 12 英吋之間。該電路板 110 亦可設計為圓形或其他形狀，其直徑可介於 9 英吋至 12 英吋之間。探針座 200 包含複數個以第一間距 220 設置之探針 210。該第一間距 220 小於 400 微米，大約等於一待測積體電路元件 230 上之訊號接點 240 之間距。探針 210 可電氣接觸及擷取待測積體電路元件 230 之電氣特性。

該電路板 110 包含一上表面 122 和一下表面 123。複數個測試接點 124 設置於上表面 122，且可直接與一測試機台（未顯示於圖 3）電氣連接。該電路板 110 可包含複數個設置於上表面 122 之電子元件 132（例如電容、電阻或電感），用以處理量測訊號或阻抗匹配。測試接點 124 彼此之間係以第二間距 126 分隔，而第二間距 126 可依據該測試機台之規格設計。分隔測試接點 124 之第二間距 126 大於分隔探針 210 之第一間距 220。

圖 4 係本創作之積體電路測試卡 100 之局部放大圖。如圖 4 所示，該電路板 110 係由四層積層板 120、130、140 及 150 構成，包含複數個電氣連接該測試接點 124 及探針 210 之導電通路 128。探針 210 係直接接觸於電路板 110 下表面 123 之導電通路 128。測試機台之測試訊號係經由該電路板 110 之測試接點 124、導電通路 128 及探針 210 傳遞至該待測積體電路。

圖 5 例示本創作之電路板 110 之製備方法。如圖 5 所示，電路板 110 係由四片積層板 120、130、140 及 150 壓合而成。該積層板 120、130、140 及 150 可由聚亞胺或 FR-4 構成，且已預先製作導電金屬 138。積層板 120 之導電金屬 138 之分隔間距係對應分隔測試接點 124 之第二間距 126，而該積層板 150 之分隔間距則對應於分隔探針 210 之第一間距 220。雖然圖 5 例示了使用四片積層板來同時進行電訊號通路間距之調整及電訊號之阻抗匹配、抗反射、抗衰減、抗干擾處理，熟悉該項技藝者應瞭解本創作亦可採用不同積層板之片數設計以同時進行電訊號通路間距之調整及電訊號特性處理。完成積層板積層板 120、130、140 及 150 之製備後，藉由在大約 120℃ 之溫度下進行一熱壓合 (thermal laminating) 製程將積層板 120、130、140 及 150 壓合以形成電路板 110，而各積層板之導電金屬 138 則構成了電路板 110 之導電通路 128。

相較於習知技藝，本創作具有下列優點：

1. 本創作之積體電路測試卡係由電路板 110 及探針座 200 構成，為二件式設計，不同於習知技藝之三件式設計。亦即，本創作將習知技藝之陶瓷基板的功能整合於電路板 110 之中。
2. 本創作可利用整個電路板 110 之寬度來分佈導電通路，而習知技藝則僅有約 80 毫米的寬度可分佈導電通路。明顯地，本創作可搭配高密度、高腳數之探針座，應用於高集積度積體電路之測試。

3. 本創作之電路板 110 可以較低製程溫度之電路板製程製作，因此可避免引起電路板 110 之材質發生熱劣化及變形，以消除習知技藝因高溫迴錫製程所導致之測試卡失效原因。
4. 探針 210 係直接接觸於電路板 110 下表面之導電通路 128，消除了習知技藝因使用錫及接點間接電氣連接所導致之電路阻值變化及錫脫落現象。

本創作之技術內容及技術特點已揭示如上，然而熟悉本項技藝之人士仍可能基於本創作之教示及揭示而作種種不背離本創作精神之替換及修飾。因此，本創作之保護範圍應不限於實施例所揭示者，而應包括各種不背離本創作之替換及修飾，並為本創作之申請專利範圍所涵蓋。

五、圖式簡要說明

圖 1 係習知之積體電路測試卡之剖面示意圖；

圖 2 係圖 1 之陶瓷基板與探針座之剖面示意圖；

圖 3 係本創作之積體電路測試卡之剖面示意圖；

圖 4 係本創作之積體電路測試卡之局部放大圖；及

圖 5 例示本創作之電路板之製備方法。

元件符號說明

10	積體電路測試卡	20	印刷電路板
22	接點	24	導線
30	陶瓷基板	32	測試接點
34	下接點	36	錫
38	內部導線	40	探針座

42	探針	44	套筒
100	積體電路測試卡	110	電路板
120	積層板	122	上表面
123	下表面	124	測試接點
126	第二間距	128	內部導電通路
130	積層板	132	電子元件
138	導電金屬	140	積層板
150	積層板	200	探針座
210	探針	220	第一間距
230	積體電路元件	240	接點

拾、申請專利範圍

1. 一種積體電路測試卡，包含：

一電路板，由複數層積層板構成，具有一上表面和一下表面，包含：

複數個測試接點，以一第二間距設置於該上表面，可直接與一測試機台電氣連接；及

複數個導電通路，設置於該電路板內部，用於電氣連接該複數個測試接點至該下表面；以及

複數個探針，其以一第一間距設置且電氣連接於該複數個導電通路，其中該第一間距小於該第二間距。

2. 如申請專利範圍第1項之積體電路測試卡，其中該複數層積層板係緊密疊合構成。

3. 如申請專利範圍第1項之積體電路測試卡，其中該電路板可包含複數個設置於該上表面之電子元件，用以處理測試訊號。

4. 如申請專利範圍第1項之積體電路測試卡，其中該第一間距小於400微米。

5. 如申請專利範圍第1項之積體電路測試卡，其中該複數個探針係可直接接觸該複數個導電通路。

6. 如申請專利範圍第1項之積體電路測試卡，其中該第一間距約等於一待測積體電路之訊號接點間距。

拾、圖式

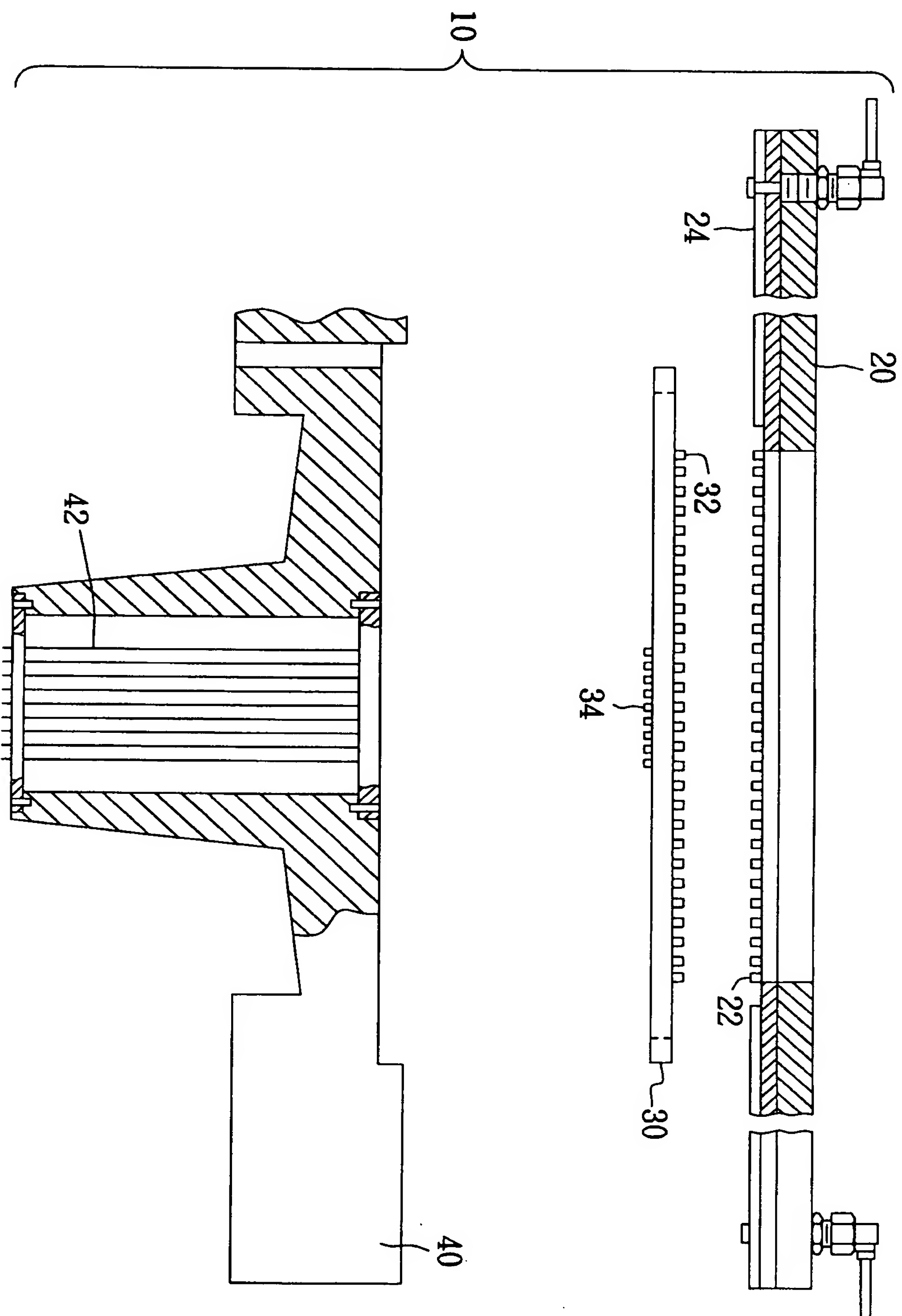


圖 1 (習知技藝)

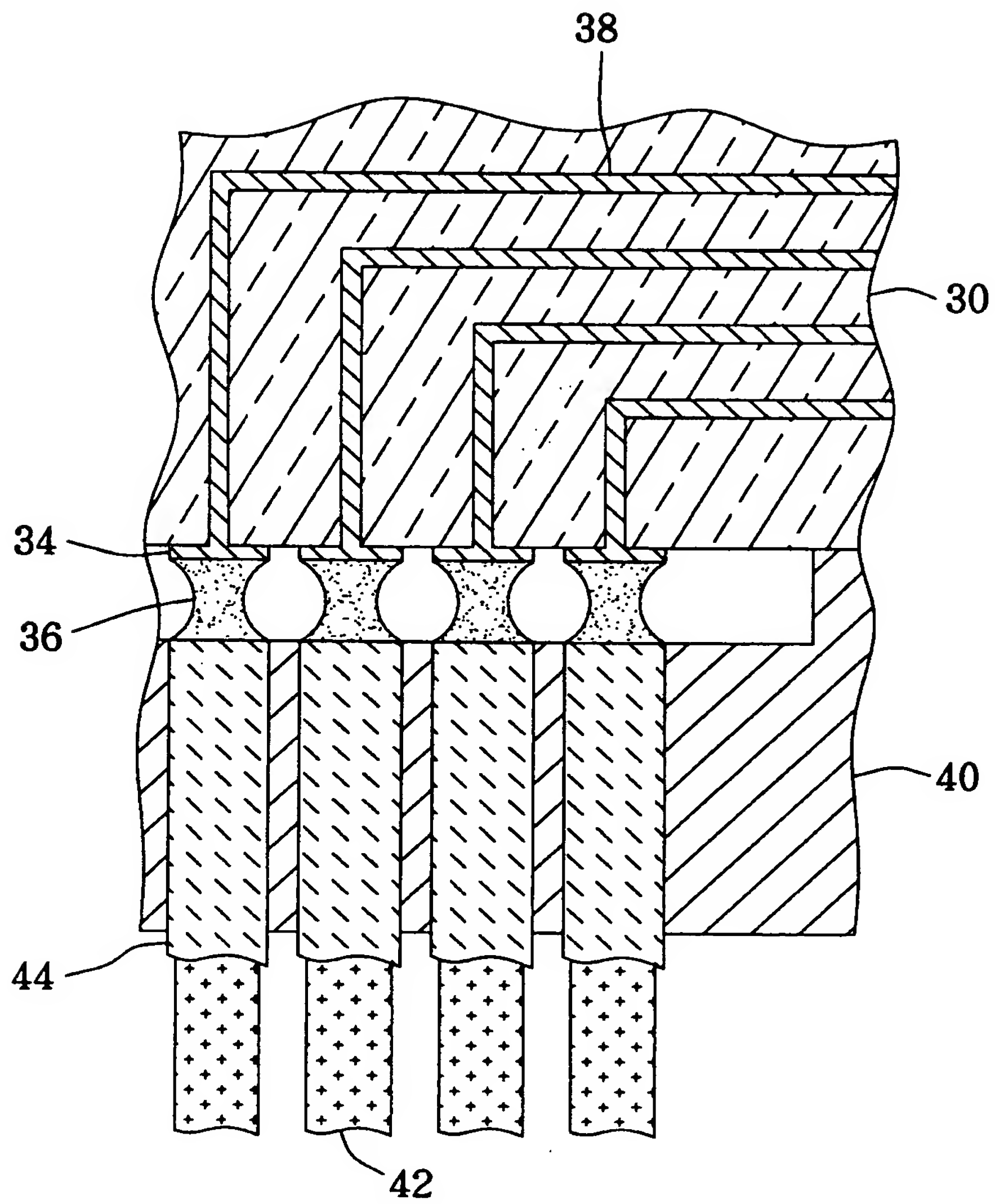


圖 2 (習知技藝)

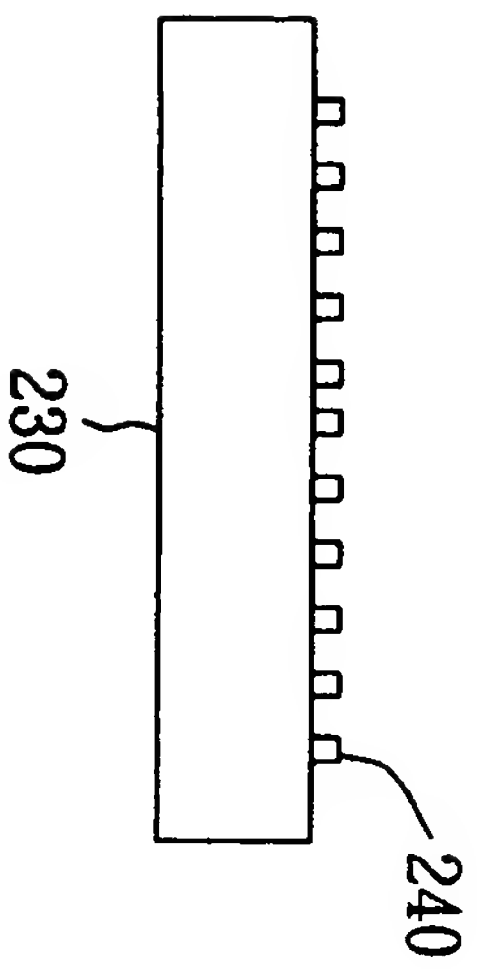
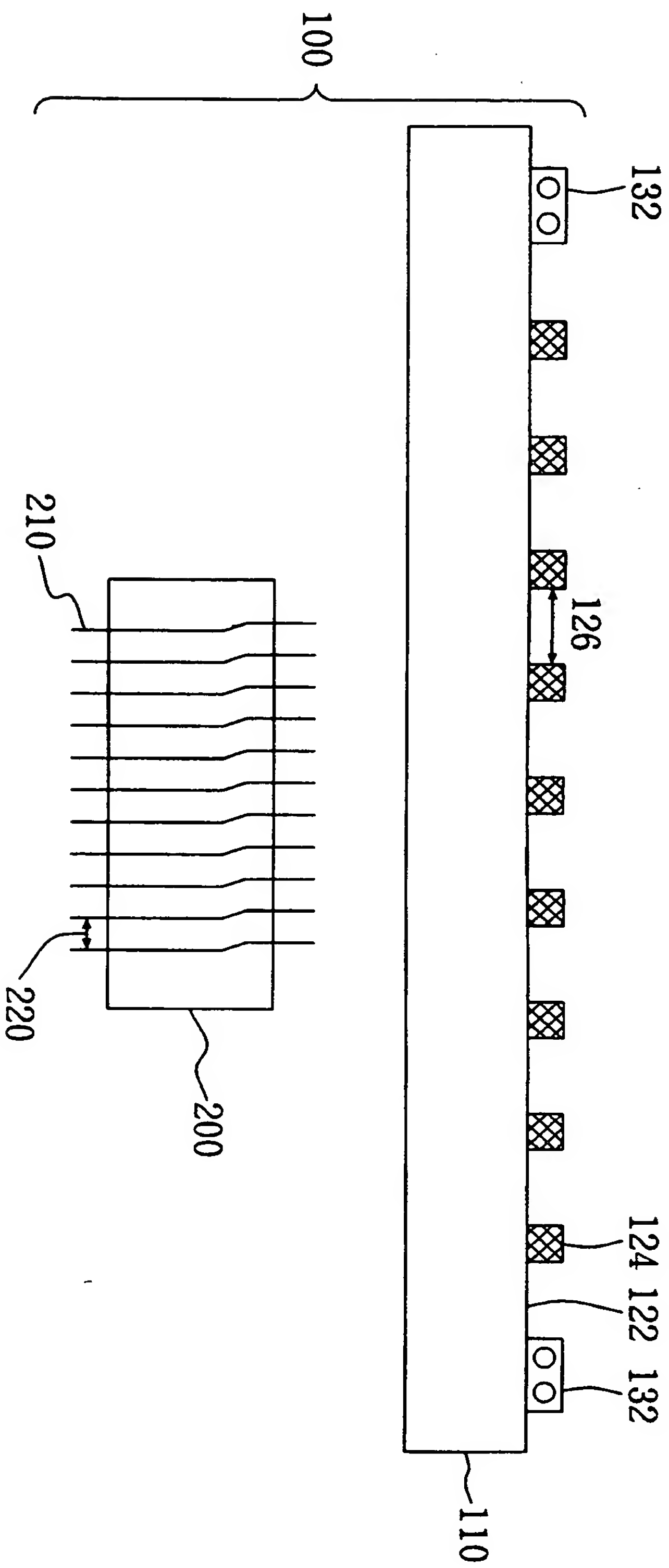


圖 3

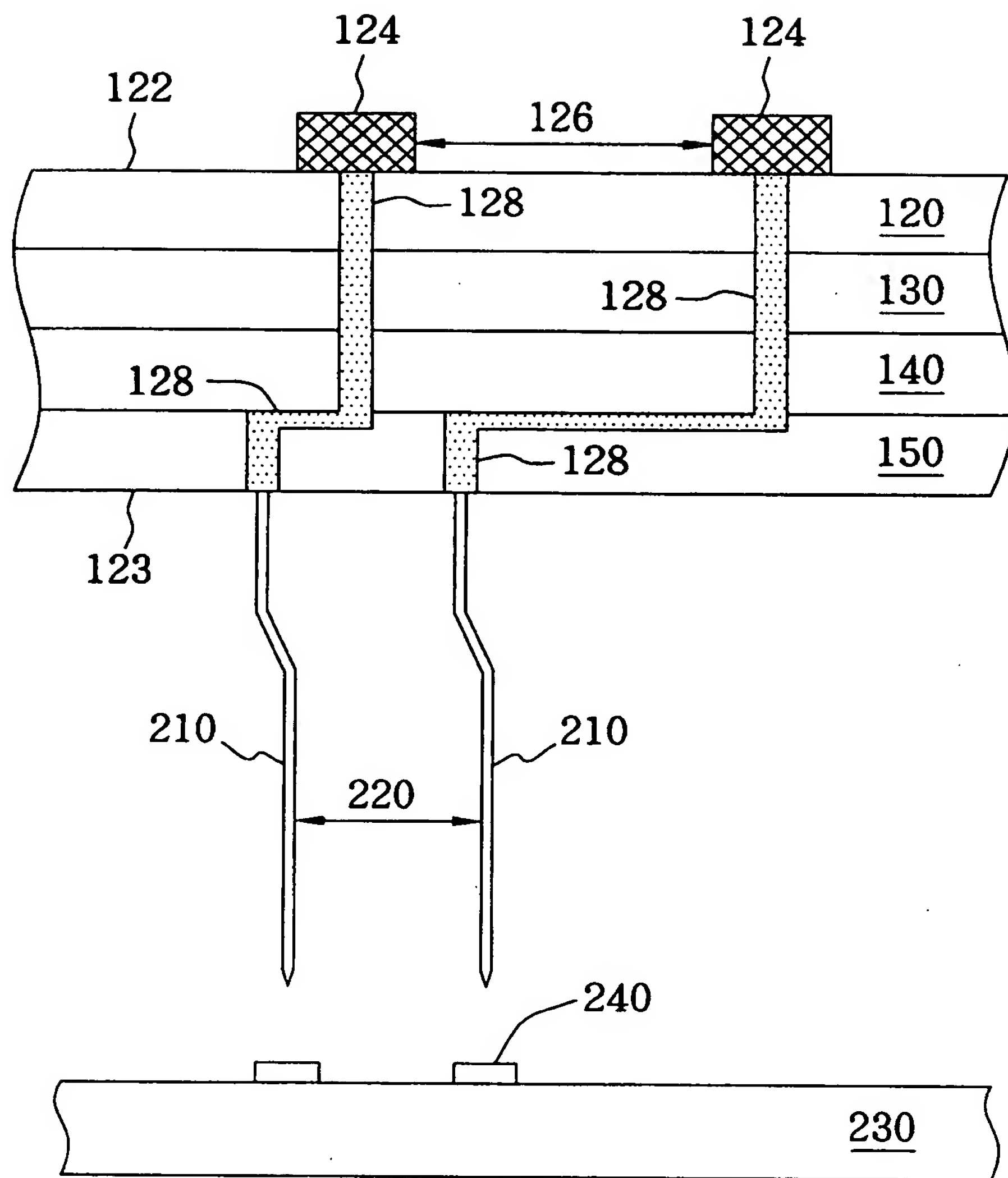
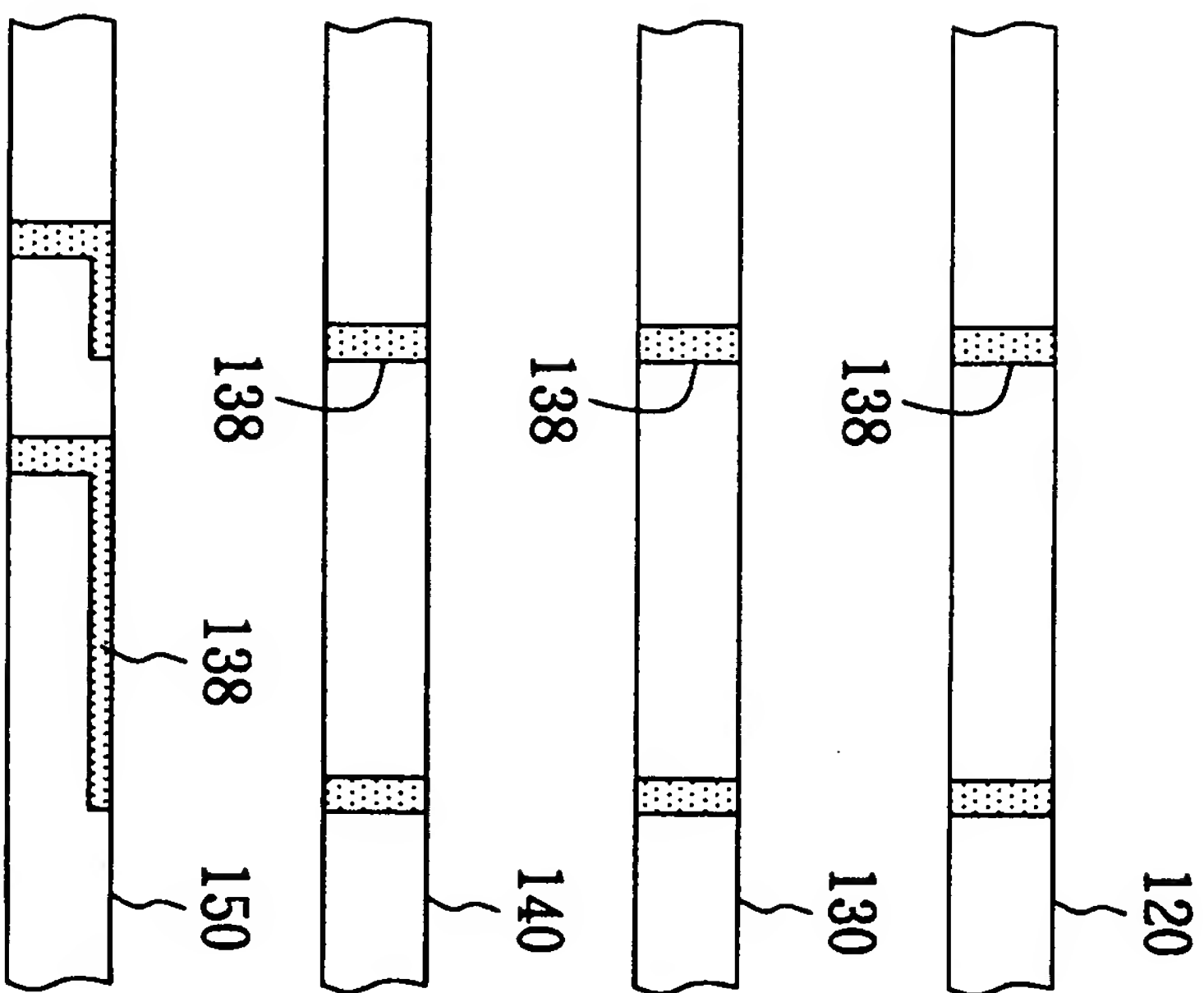


圖 4



熱壓合
↓

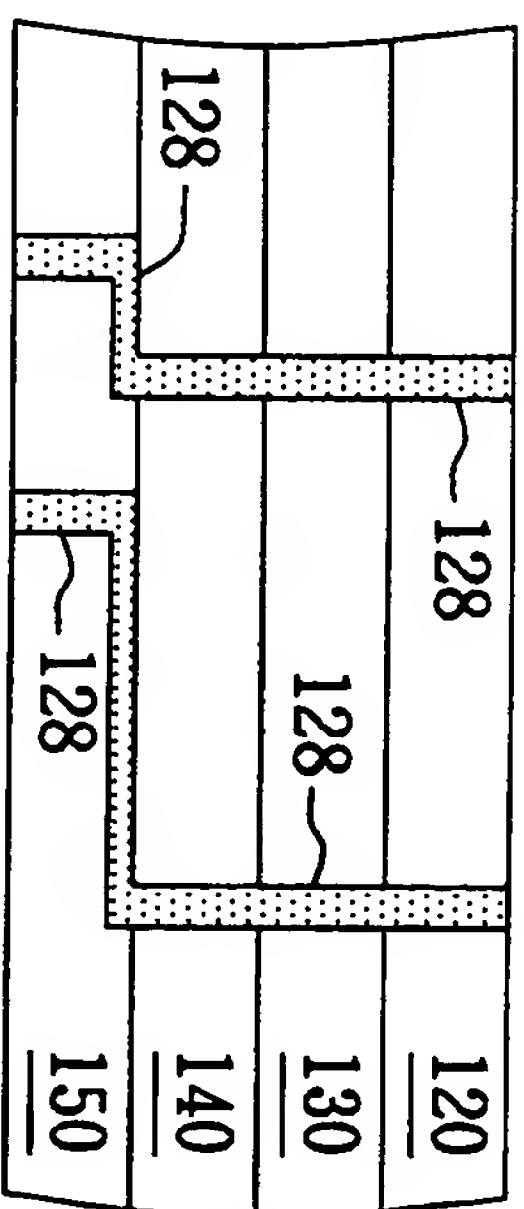


圖 5